

Integrirani izvor referentnog napona u 130 nm CMOS tehnologiji

Miloš Lazić, Dejan Mirković, *Members, IEEE*, Predrag Petković, *Members, IEEE*

Apstrakt— U ovom radu prikazan je postupak projektovanja i verifikacije izvora referentnog napona u CMOS integriranim kolima. Osnovni projektni zahtev za izvor referentnog napona jeste što manja osetljivost napona na promenu temperature i promenu napona napajanja. Zato je primenjen princip generisanja nezavisnog napona koji zahteva kompenzaciju pozitivnog i negativnog temperaturnog koeficijenta na pn spoju. Dobra kompenzacija postiže se pažljivom realizacijom kritičnih komponenata. Pokazalo se da naponska razdešenost (offset) ugrađenog operacionog pojačavača značajno utiče na karakteristike izvora referentnog napona. Zato je njegovom projektovanju posvećena posebna pažnja.

Kolo je projektovano primenom 130nm CMOS tehnologije i Cadence Design System Front&Back Hand softverske podrške. Izlazni referentni napon kola je 1.202V dok je temperaturni koeficijent 5.5 ppm/°C u temperaturnom opsegu od -40°C do 105°C.

Cljučne reči—Referentni napon; temperaturni koeficijent; operacioni pojačavač, CMOS 130nm .

I. UVOD

Analogna i digitalna kola često imaju potrebu za izvorom referentne veličine, bilo da se radi o naponu, struji ili taktu. Referenca obezbeđuje stabilan izvor neke veličine koju koristi drugo kolo za generisanje predvidivih i ponovljivih rezultata. Njena vrednost treba da ostane nepromenjena usled varijacija parametara kao što su napon napajanja, temperatura itd. Potreba za stabilnim izvorima referentnih vrednosti je izražena u kolima kao što su: analogno-digitalni konvertori, digitalno-analogni konvertori, AC-AC konvertori, DC-DC konvertori, operacioni pojačavači i linearni regulatori.

Opšti pristup pri projektovanju preciznih izvora referentne veličine podrazumeva karakterizaciju temperaturno zavisnih komponenata kako bi se izabrala odgovarajuća kompenzacija kritičnih temperaturnih efekata. Rezultat dobre kompenzacije je stabilan odziv koji se minimalno menja u definisanom opsegu temperature. Temperaturni opseg definiše se zavisi od uslova u kojima se kolo primenjuje. Radni uslovi elektronskih kola klasifikovani su u tri standardne kategorije:

- komercijalni opseg – od 0°C do 70°C
- industrijski opseg – od -40°C do 85°C
- vojni opseg – od -65°C do 125°C

Miloš Lazić, Dejan Mirković i Predrag Petković – Elektronski fakultet, Univerzitet u Nišu, laboratorija LEDA, Aleksandra Medvedeva 14, 18000 Niš, Srbija (e-mail: lazic@elfak.rs, dejan.mirkovic@elfak.ni.ac.rs, predrag.petkovic@elfak.ni.ac.rs).

U ovom radu biće opisan postupak projektovanja izvora referentnog napona u CMOS 130nm tehnologiji. Rad je organizovan na sledeći način. U drugom poglavlju predstavljen je osnovni princip generisanja temperaturno nezavisnog napona zasnovan na kompenzaciji napona sa pozitivnim i negativnim temperaturnim koeficijentom.

Treće poglavlje se bavi problemima vezanim za projektovanje izvora referentnog napona. Takođe, tu su opisani i problemi vezani za realizaciju operacionog pojačavača i start-up kola.

U četvrtom poglavlju dati su rezultati dobijeni nakon projektovanja na šematskom nivou.

Projektovanje leajuta i tehnike primenjene prilikom njegove realizacije predstavljene su u petom poglavlju.

U šestom poglavlju prikazani su rezultati simulacije nakon projektovanja maski za fabrikaciju (postlayout). Ovi rezultati verifikuju ispunjenje projektnih zahteva.

II. OSNOVNI PRINCIP GENERISANJA TEMPERATURNO NEZAVISNOG NAPONA

Osnovni princip generisanja temperaturno nezavisnog napona zasniva se na sabiranju dva napona sa različitim temperaturnim koeficijentima, [1]. Jedan od njih je napon diode (ili pad napona između baze i emitora bipolarnog tranzistora) kroz koju protiče konstantna struja. Tada je napon na diodi obrnuto proporcionalan temperaturi sa temperaturnim koeficijentom od oko -1.6mV/°C. Zato se ovaj napon označava kao CTAT (Complementar To Absolute Temperature) napon. Praktično napon V_{BE} jednak je:

$$V_{BE} = \frac{kT}{q} \ln(I_C / I_S), \quad (1)$$

gde je k Boltzmanova konstanta, T apsolutna temperatura, q naelektrisanje elektrona, I_C struja kolektora, a I_S inverzna struja zasićenja tranzistora kod koga su baza i kolektor spojeni. Iako je V_{BE} direktno proporcionalno temperaturi, ne treba izgubiti iz vida da je zavisnost I_S od temperature kvadratna, tako da je ukupno

$$\frac{dV_{BE}}{dT} \approx \frac{V_{G0}}{T}, \quad (2)$$

gde je V_{G0} napon koji odgovara energetskom procepu na $T=0$ K, što za silicijum iznosi 1.205V [2]. Ovaj napon je poznatiji kao bandgap napon pa će taj termin na dalje biti korišćen za označavanje samog izvora referentnog napona.

Sa druge strane treba obezbediti napon sa pozitivnim temperaturnim koeficijentom, odnosno napon proporcionalan apsolutnoj temperaturi PTAT (Proportional To Absolute Temperature). Najbolji kandidat za ovo je termički napon pn spoja koji se definiše kao:

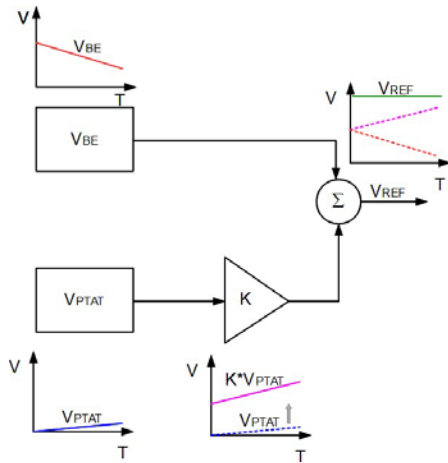
$$V_T = \frac{kT}{q}. \quad (3)$$

Da bi se generisao napon proporcionalan sa V_T , razmotrimo razliku napona V_{BE} između dva tranzistora kod kojih su baza i kolektor spojeni (konfiguracija diode). Pretpostavimo da kroz njih teku kolektorske struje I_{C1} i I_{C2} , respektivno. Tada se, na osnovu (1) može izračunati da je:

$$\begin{aligned} \Delta V_{BE} &= V_{PTAT} = V_{BE1} - V_{BE2} = \\ &= V_T \ln(I_{C1} / I_S) - V_T \ln(I_{C2} / I_S) \\ &= V_T (\ln(I_{C1}) - \ln(I_S) - \ln(I_{C2}) + \ln(I_S)) \\ &= V_T \ln(I_{C1} / I_{C2}) = V_T \ln(n) = \frac{kT}{q} \ln(N), \end{aligned} \quad (4)$$

gde je N odnos struja ova dva tranzistora. To znači da će za svako $N > 1$ razlika ovih napona biti direktno proporcionalna temperaturi (PTAT). Izborom odgovarajuće vrednosti N podešava se temperaturni koeficijent (dV_{PTAT}/dT).

Teorijski, može se postići da zbir CTAT i PTAT napona pomnožen faktorom pojačanja K ima temperaturni koeficijent $0V/^\circ C$. Konfiguracija ovog kola prikazana je na Sl. 1 [3].



Sl. 1. Osnovni princip generisanja temperaturno nezavisnog napona zasnovan na sabiranju dva napona sa različitim temperaturnim koeficijentima.

Na izlazu kola dobiće se

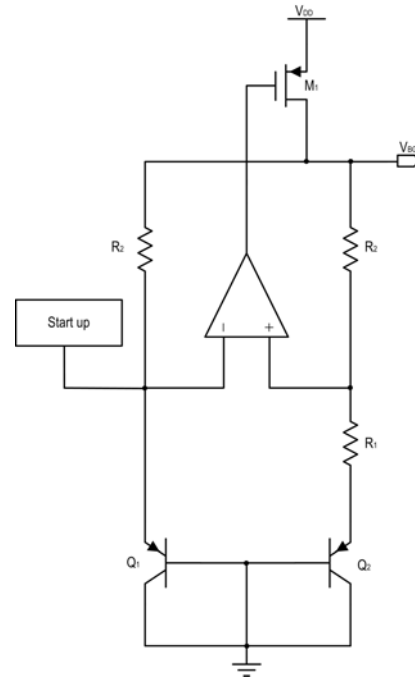
$$V_{REF} = V_{BE} + V_{PTAT}. \quad (5)$$

U sledećem poglavlju opisani su problemi vezani za projektovanje pojedinih komponenata ovog kola. Prvo će biti

prezentovana usvojena bandgap arhitektura. Nakon toga, prateći hijerarhiju kola po dubini, biće komentarisani osnovni gradivni blokovi.

III. PROJEKTOVANJE BANDGAP IZVORA REFERENTNOG NAPONA

Projektovanje bandgap izvora referentnog napona podrazumeva izbor topologije i određivanje vrednosti elemenata u kolu koje zadovoljavaju zadate uslove za određenu tehnologiju. U konkretnom primeru radi se o izvoru referentnog napona od 1.205V, koji treba da ima temperaturni koeficijent manji od 10 ppm/ $^\circ C$. Kolo treba projektovati za CMOS 130nm tehnologiju. Na Sl 2. prikazana je implementirana topologija.



Sl. 2. Topologija implementiranog izvora referentnog napona.

Tranzistor M_1 ima ulogu izvora konstantne struje kontrolisanog izlaznim naponom operacionog pojačavača. Operacioni pojačavač pojačava razliku potencijala u granama izvora referentnog napona čime se postiže ravnoteža među njima. Temperaturno nezavisni napon se generiše na pn spojevima vertikalnih PNP (VPNP) tranzistora Q_1 i Q_2 .

Analizom kola sa Sl. 2. lako se izračunava da je izlazni napon izvora referentnog napona V_{BG} definisan sa:

$$V_{BG} = V_{BE} + \frac{R_2}{R_1} V_T \ln N, \quad (6)$$

gde N predstavlja odnos struja, odnosno površina emitora VPNP tranzistora i obično se bira tako da se prilikom projektovanja leajuta može realizovati kompaktna celina kvadratnog oblika.

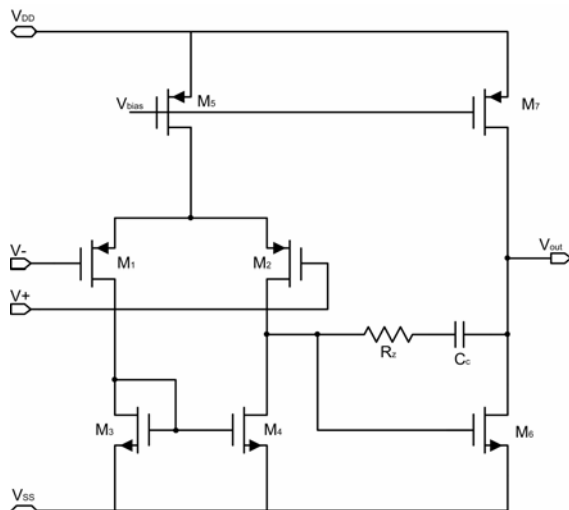
Osetljivost izvora referentnog napona na promene temperature data je izrazom:

$$\frac{\partial V_{BG}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + \frac{R_2}{R_1} \frac{k}{q} \ln N. \quad (7)$$

Cilj projektovanja izvora referentnog napona jeste da se postigne minimalna osetljivost na promene temperature, odnosno smanjenje faktora $\partial V_{BG}/\partial T$. Da bi se to postiglo neophodno je dobro upariti VPNP tranzistore. Pored toga neophodno je da ostale komponente (operacioni pojačavač, otpornici, start-up kolo) budu pažljivo projektovane i prenešene na silicijum.

A. Operacioni pojačavač

Operacioni pojačavač je realizovan kao dvostepeni sa Milerovom kompenzacijom. Prvi stepen je diferencijalni pojačavač sa PMOS ulaznim parom tranzistora. Izabrani su PMOS tranzistori u prvom stepenu kako bi se postigao veći dinamički opseg ulaznog napona (Input Common Mode Range), veće pojačanje jednosmerne vrednosti kao i manji $1/f$ šum, [4]. Tranzistori M_3 i M_4 predstavljaju dinamičko opterećenje, dok je M_5 izvor konstantne struje u sorsu diferencijalnog para. Drugi stepen je realizovan kao pojačavač sa zajedničkim sorsom u kome M_6 radi kao pojačavački tranzistor, dok je M_7 njegovo dinamičko opterećenje.



Sl. 3. Operacioni pojačavač sa Milerovom kompenzacijom u CMOS tehnologiji.

Kolo ovog operacionog pojačavača karakterišu dva dominantna pola, p_1 i p_2 i jedna nula, z_1 koja se nalazi u desnoj poluravni kompleksne ravni. Nula u desnoj poluravni je posledica postojanja povratnog puta kroz kompenzacioni kondenzator, [5]. Postojanje nule ima tendenciju da ograniči GBW (proizvod pojačanja i propusnog opsega). Jedan od načina da se eliminiše uticaj nule je da se ona izabere tako da njena apsolutna vrednost bude jednaka apsolutnoj vrednosti pola p_2 . Teorijski, ovaj način je najbolji jer se nula u potpunosti eliminiše iz kola, međutim on ima nedostatke u

praksi. Varijacije parametara kao što su napon napajanja, temperatura, proces i drugi, mogu uticati na položaj nule i polova. Promena njihovog položaja može prouzrokovati da im se apsolutne vrednosti ne poklapaju čime se ne ispunjava cilj kompenzacije. Dobar način za njenu eliminaciju jeste da se adekvatnim izborom vrednosti kompenzacionog otpornika nula pomeri što dalje od granice propusnog opsega operacionog pojačavača (teorijski u beskonačnost).

Glavni zadatak prilikom projektovanja operacionog pojačavača, za potrebe izvora referentnog napona, jeste minimizacija ofset napona. Smanjenje ofset napona postignuto je adekvatnim izborom jediničnog tranzistora. Njegove dimenzije su $W/L=4/2\mu\text{m}$.

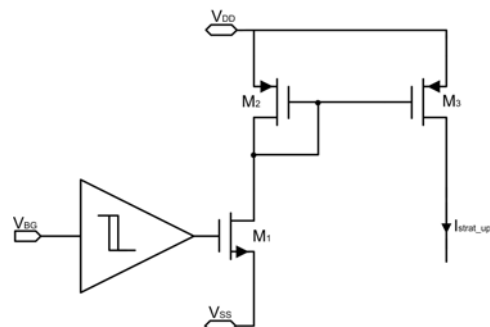
TABELA I
VREDNOSTI PARAMETARA OPERACIONOG POJAČAVAČA

Parametar	Vred.	Vred. na osnovu Kor.			Jed.
		Min	Nom	Max	
A_{V0}	70	80.67	82.22	83.64	dB
PM	60	59.17	63.8	66.8	°
GBW	10	10.13	13.66	19.5	MHz
GM	-	13	14.8	16.27	dB
SR	1	10.92	16.83	27.65	V/ μs
V_{os}	-	42.12	57.69	71	μV
V_{noise}	-	37.45	40	41.2	$\text{nV}\sqrt{\text{Hz}}$
$V_{noise@1\text{kHz}}$	-	326	343.5	362.7	$\text{nV}\sqrt{\text{Hz}}$
P_{dis}	-	-	412	-	μW

U Tabeli I prikazane su uporedne vrednosti svih relevantnih parametara operacionog pojačavača. Svaki parametar je proveren za tri tipične vrednosti temperature, napona napajanja i tri modela tranzistora. Jedini parametar koji odstupa od zahtevane vrednosti je fazna margina. Iako fazna margina ne zadovoljava zahtevani uslov, kolo je i dalje stabilno, a obzirom da radi u statičkim uslovima njegova brzina nije značajna. Vrednost slučajnog ulaznog ofset napona je 1.1mV dok je njegova standardna devijacija $3\sigma = 3.3\text{mV}$.

B. Startno (start up) kolo

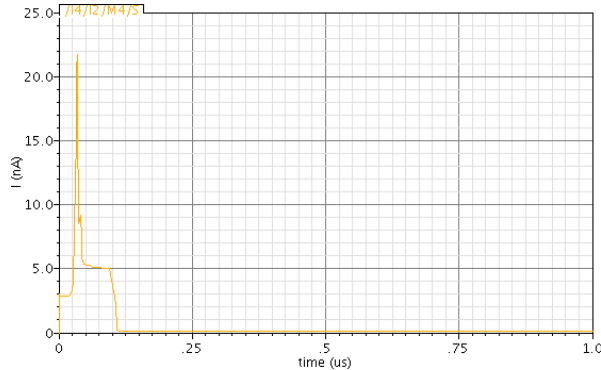
Bandgap izvor referentnog napona zahteva korišćenje startnog (start up) kola. Na Sl. 4. je prikazano kolo kojim se eliminiše postojanje nultog potencijala na invertujućem kraju operacionog pojačavača u trenutku uključanja.



Sl. 4. Startno kolo sa Šmitovim komparatorom.

U trenutku kada se kolo uključi, napon na invertujućem i neinvertujućem kraju operacionog pojačavača je na potencijalu mase. Izlazni napon pojačavača je takođe na potencijalu mase, tako da tranzistor M_1 (Sl. 4.) ne može da vodi. Da bi se izbeglo ovo stanje koristi se dodatno startno kolo sa Šmitovim komparatorom.

U trenutku kada je izlazni napon referentnog izvora na nuli, $V_{BG}=0V$, napon na izlazu Šmitovog komparatora je 3.3V. Visoki izlazni napon uključuje tranzistor M_1 usled čega se stvaraju uslovi da poteče struja kroz granu M_1 - M_2 . Ova struja se preslikava u startnu struju kroz tranzistor M_3 . Kada napon na izlazu dostigne vrednost od 0.6V, izlazni napon Šmitovog komparatora pada na nula volti, tranzistor M_1 se isključuje a startna struja prestaje da teče.



Sl. 5. Startna struja generisana startnim kolum.

Tranzistori u startnom kolu dimenzionisani su tako da se obezbedi početna struja od oko 20nA koja traje kratak vremenski interval.

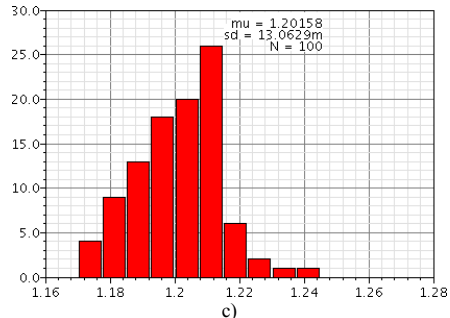
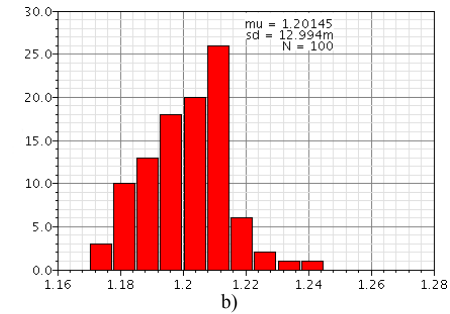
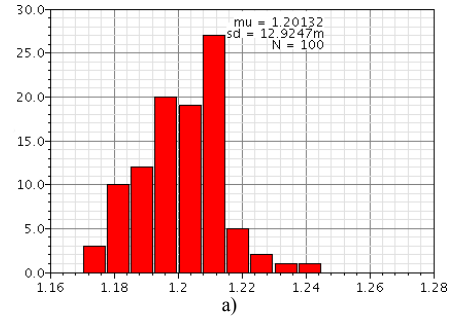
IV. KARAKTERIZACIJA IZVORA REFERENTNOG NAPONA

Provera kvalitativnih osobina bandgap izvora referentnog napona izvršena je MonteCarlo analizom pri čemu je posmatrano odstupanje različitih parametara usled varijacije procesa i usled neuparenosti komponenata (process & mismatch analysis). Parametri koji su posmatrani a koji govore o kvalitetu realizovanog kola su:

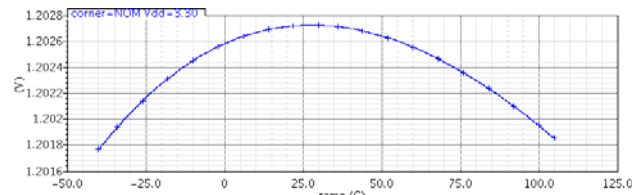
- Srednja vrednost izlaznog napona, $\overline{V_{BG}} = \frac{\sum_{i=1}^N V_{BG}}{N}$
- Temperaturski koeficijent, $TC = \frac{1}{V_{BG}} \frac{\Delta V_{BG}}{\Delta T} 10^6$
- Osetljivost, $S_T^{V_{BG}} = \frac{1}{V_{BG \max}} \frac{\partial V_{BG}}{\partial T} 10^6$
- Maksimalna vrednost izlaznog napona, $V_{BG \max}$
- Minimalna vrednost izlaznog napona, $V_{BG \min}$
- Razlika maksimalne i minimalne vrednosti izlaznog napona, $\Delta V_{BG} = V_{BG \max} - V_{BG \min}$

Vrednosti svakog od parametara proverene su za tri karakteristične vrednosti napona napajanja $V_{DD} \in \{3.13V, 3.30V, 3.46V\}$. Usled varijacija procesa, neuparenosti i

promena napona napajanja izlazni napon se menja. U slučaju kada je napon napajanja $V_{DD}=3.13V$ izlazni napon bandgap-a je $V_{BG}=1.20132V$ dok je standardna devijacija $3\sigma=12.924mV$.



Sl. 6. Statistička raspodela izlaznog napona bandgap-a za tri različite vrednosti napona napajanja: a) $V_{DD}=3.13V$, b) $V_{DD}=3.3V$, c) $V_{DD}=3.46V$.



Sl. 7. Uticaj promene temperature na promenu izlaznog napona izvora referentnog napona.

Na Sl. 7 prikazana je promena referentnog napona u opsegu temperature od $-40^\circ C$ do $105^\circ C$. Temperaturni opseg je proširen za $20^\circ C$ u odnosu na standardni industrijski opseg. Pri nominalnim uslovima (napon napajanja $V_{DD}=3.3V$, model tranzistora Nominal) temperaturski koeficijent je $TC=5.5ppm/^\circ C$.

U narednom poglavlju prezentovan je leajut projektovanog

kola i komentarisane tehnike za crtanje maski ključnih komponenti.

V. LEJAUT IZVORA REFERENTNOG NAPONA

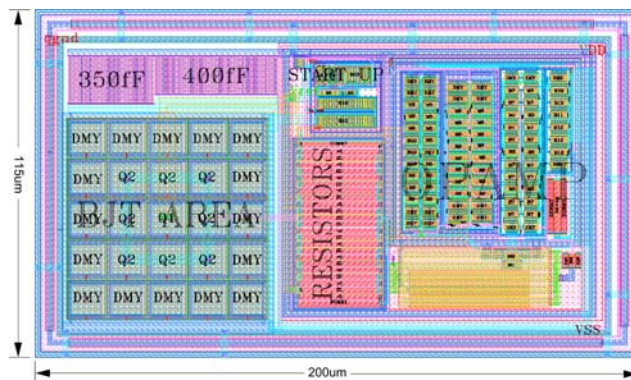
Prilikom realizacije lejauta izvora referentnog napona posebna pažnja je posvećena kritičnim komponentama, pre svega otpornicima i bipolarnim tranzistorima. Takođe, posebna pažnja je posvećena i projektovanju lejauta operacionog pojačavača čije karakteristike značajno utiču na kvalitet izvora referentnog napona.

Dobro uparivanje otpornika postignuto je tehnikom uplitanja jediničnih segmenata [6]. Referentni otpornik R_1 (Sl. 2) je postavljen u sredinu strukture dok su oko njega naizmenično postavljani segmenti otpornika R_2 . Na krajevima strukture postavljeni su lažni (dummy) otpornici. Cela struktura, koju čine aktivni i dummy otpornici, oivičena je zaštitnim prstenom sa kontaktima za N-well. Na ovaj način postignuta je zaštita otpornika od uticaja nesavršenosti tehnološkog postupka.

Polje bipolarnih VPNP tranzistora je realizovano kao struktura kvadratnog oblika. Tranzistor Q_1 je postavljen u sredinu strukture dok su oko njega postavljeni segmenti tranzistora Q_2 .

Oko cele strukture izvora referentnog napona postavljena su tri nivoa zaštitnih prstenova. Krajnji unutrašnji i krajnji spoljašnji prsten imaju kontakte za supstrat i povezani su na potencijal mase dok je srednji prsten sa kontaktima za N-well i povezan je na potencijal napajanja. Primenom trostrukog sloja zaštitnih prstenova izvor referentnog napona je izolovan od uticaja šumova koji propagiraju kroz supstrat.

Na Sl. 8. prikazan je lejaut integrisanog izvora referentnog napona u 130nm CMOS procesu. Da bi se izbegli problemi vezani za otpornosti vodova, kojim su spojeni otpornici i VPNP tranzistori, oni su realizovani u metalu 4. Dimenzije projektovanog izvora referentnog napona su $200\mu\text{m} \times 115\mu\text{m}$.



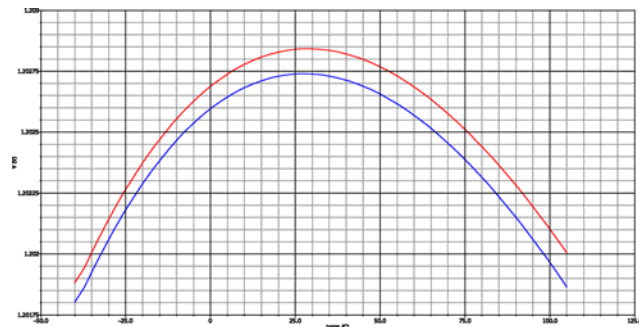
Sl. 8. Lejaut izvora referentnog napona.

VI. POSTLAYOUT SIMULACIJA

Simulacija nakon lejauta podrazumeva ponavljanje postupka provere svih parametara, koji su simulirani na šematskom nivou. Rezultati dobijeni posle ekstrakcije svih parazitnih elemenata iz lejauta predstavljaju najpribližnije

vrednosti koje se mogu očekivati nakon fabrikacije čipa. Tokom simulacije u analizu kola uključeni su svi parazitni elementi, otpornici i kondenzatori, koji se ekstrahuju iz lejauta.

Sa Sl. 9. vidi se da je odstupanje karakteristike dobijene na šematskom nivou, donja linija, i karakteristike dobijene nakon ekstrakcije parazitnih elemenata, gornja linija, svega 0.0083% na nominalnoj temperaturi od 27°C . Ovakav rezultat je postignut zahvaljujući dobroj realizaciji lejauta. U Tabeli II prikazane su sistematizovane vrednosti svih relevantnih parametara kola.



Sl. 9. Uticaj promene temperature na promenu izlaznog napona izvora referentnog napona.

TABELA II
PARAMETRI IZVORA REFERENTNOG NAPONA NAKON EKSTRAKCIJE
PARAZITNIH ELEMENATA

Parametar	Vrednost	Jedinica
\bar{V}_{BG}	1.202	V
TC	5.5	ppm/ $^\circ\text{C}$
$S_T^{V_{BG}}$	0.759	ppm/ $^\circ\text{C}$
$V_{BG\text{max}}$	1.20285	V
$V_{BG\text{min}}$	1.20195	V
ΔV_{BG}	954.4	μV
P_{dis}	1.3	mW
Površina	23000	μm^2

VII. ZAKLJUČAK

Rad daje detaljan pregled bandgap arhitekture i tehnika potrebnih za njegovo uspešno projektovanje. Navedeni su izrazi bitnih fizičkih veličina, struja i napona. Objasnjen je princip rada kola i osnovnih gradivnih blokova. Izneta je problematika vezana za bistabilnost izvora referentnog napona i prezentovano rešenje u vidu startup kola. Objasnjen je postupak verifikacije projektovanog kola i definisani parametri za karakterizaciju.

U postupku karakterizacije analizirani su uticaji relevantnih tehnoloških parametara na funkciju izvora referentnog napona. Prezentovan je lejaut projektovanog kola sa posebnim osvrtom na tehnike za izradu istog. Konačno funkcija kola je potvrđena nakon ekstrakcije parazitnih elemenata tehnološkog procesa postlejaut simulacijom. Dobijeni rezultat

postlejt aut simulacije uspešno potvrđuje funkciju kola. Ostvaren je temperaturski koeficijent od 5.5 ppm/°C u temperaturnom opsegu od -40°C do 105°C.

Iako postignuti rezultati ispunjavaju korisničke zahteve uvek ostaje prostora za dalja poboljšanja. Tako recimo u budućem radu, unapređenje bi moglo biti usmereno ka realizaciji dodatnog kola za detekciju prekoračenja izlaznog napona pri startovanju. Unapređenja se mogu postići i na polju minimizacije potrošnje, površine koju kolo zauzima na čipu, kao i ugradnjom funkcija koje bi omogućile testabilnost.

ZAHVALNICA

Zahvaljujemo se timu inženjera i odgovornim licima u firmi TES Electronic Solutions, Design Center Belgrade, na pomoći tokom realizacije ovog projekta.

Istraživanja čiji su rezultati prikazani u ovom radu delimično je finansiralo Ministarstvo prosvete, nauke i tehnološkog razvoja Republike Srbije u okviru projekta sa evidencionim brojem TR32004.

LITERATURA

- [1] W.T. Holman, "A Low Noise CMOS Voltage Reference" Ph.D. dissertation, Georgia Institute of Technology, Atlanta, GA, 1994.
- [2] G.A. Rincon-Mora, *Voltage References From Diodes to Precision High-Order Bandgap Circuits*, 1st ed., New York, USA: Wiley-IEEE Press, 2000.
- [3] Z.Tiancheng, Y. Suying, L. Binqiao, "A high precision programmable bandgap voltage reference desing for high resolution ADC ," *J. Semicond.*, vol. 30, no. 7, pp. 075005-1-5, July 2009
- [4] V. Litovski, *Osnovi elektronike - teorija, rešeni zadaci i ispitna pitanja*, 1st ed. Beograd, Srbija: A. Misao, 2006.
- [5] D.R. Holberg and P.E Alen, *CMOS Analog Circuti Design*, 2nd ed. New York , USA: Oxford University Press, 2002.
- [6] P. Petković, *Projektovanje CMOS integrisanih kola sa mešovitim signalima*, 1st ed. Niš, Srbija: Unigraf Niš, 2009

ABSTRACT

This paper presents procedure for design and verification of the integrated voltage reference source in CMOS technology. Principal design requirement is to minimize variations of reference voltage to temperature and power supply changes. For this purposes bandgap architecture is used. Temperature compensation is achieved by combining pn junction voltage with negative and thermal voltage with positive temperature coefficient. Maximal compensation is achieved with carefully designing layout masks for critical components. It was registered through simulations that built-in operational amplifier's (opamp) offset voltage significantly influences global voltage reference source characteristics. Therefore special care was devoted to opamp design.

Circuit is designed in 130nm CMOS technology process using Cadence Design System Front&Back Hand software tools. Obtained reference voltage is 1.202V with 5.5 ppm/°C temperature coefficient in temperature range from -40°C to 105°C.

Integrated voltage reference design in 130nm CMOS technology process

Miloš Lazić, Dejan Mirković and Predrag Petković